

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-252228

(43)Date of publication of application : 22.09.1997

(51)Int.Cl.

H03F 3/60

(21)Application number : 08-084496

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 14.03.1996

(72)Inventor : KIMURA SHUNJI
IMAI YUUKI

(54) DISTRIBUTED AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the deterioration of high frequency characteristic and also to facilitate the layout of a circuit pattern by dividing an input filter circuit corresponding to an output filter circuit into groups equal to the number of input lines and distributing the groups to these input lines.

SOLUTION: An input filter circuit 2 corresponding to an output filter circuit 1 of the output line connected to an output terminal 9 is divided into two groups. One of these two groups of circuit 2 is turned into an input line connected to a 1st input terminal 19, and the other group of circuit 2 is turned into an input line connected to a 2nd input terminal 20. Both groups show two unit distribution amplification sections. Then two filter circuits having the same characteristic as that corresponding to the circuit 1 or two transmission lines 23 having the same characteristic impedance as the corresponding image impedance and also the same delay as the corresponding one are connected between the terminal 19 and the preceding stage of the circuit 2.

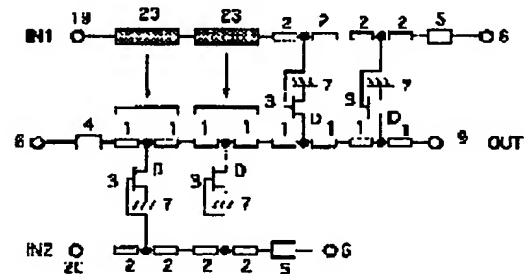


FIG. 1 is a circuit diagram of a distributed amplifier according to the present invention.

LEGAL STATUS

[Date of request for examination] 19.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3137232

[Date of registration] 08.12.2000

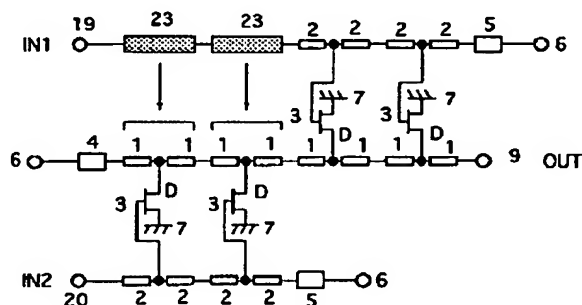
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号



【特許請求の範囲】

【請求項1】複数の入力線と1つの出力線とを有し、 m ($m \geq 2$) 個の分布増幅区間からなり合成回路として使用される分布増幅器において、前記各区間の出力側フィルタ回路に対応する m 個の入力側フィルタ回路を、前記入力線の数と等しいグループに任意に分け、該各グループを前記各入力線に振り分けることを特徴とする分布増幅器。

【請求項2】前記複数の各入力線において、入力端子より最も遠くに位置する入力側フィルタ回路の端に出力側

増幅回路を設け、前記入力端子と前記出力側増幅回路の間の分布増幅域のうちの前記入力側フィルタ回路が振り分けられていない部分に、当該部分の分布増幅区間に対応する出力側フィルタ回路と等しい特性を有するフィルタ回路もしくは該出力側フィルタ回路の映像インピーダンスと等しいインピーダンスをもち且つ遅延時間が等しい伝送線路を挿入したことを特徴とする請求項1に記載の分布増幅器。

【請求項3】1つの入力線と複数の出力線とを有し、 m ($m \geq 2$) 個の分布増幅区間からなり分配回路として使用される分布増幅器において、前記各区間の入力側フィルタ回路に対応する m 個の出力側フィルタ回路を、前記出力線の数と等しいグループに任意に分け、該各グループを前記各出力線に振り分けることを特徴とする分布増幅器。

【請求項4】前記複数の各出力線において、出力端子より最も遠くに位置する出力側フィルタ回路の端に出力側増幅回路を設け、

前記出力端子と前記出力側増幅回路の間の分布増幅域のうちの前記出力側フィルタ回路が振り分けられていない部分に、当該部分の分布増幅区間に対応する入力側フィルタ回路と等しい特性を有するフィルタ回路もしくは該入力側フィルタ回路の映像インピーダンスと等しいインピーダンスをもち且つ遅延時間が等しい伝送線路を挿入したことを特徴とする請求項3に記載の分布増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、2以上の入力信号を合成する合成回路、又は1個の入力信号を2以上の出力に分配する分配回路として機能する分布増幅器に関する*40

$$L_g \cdot C_{gs} = L_d \cdot C_{ds}$$

である。ここで、 L_g 、 L_d は図14のインダクタもしくは伝送線路1、2の1個の分布増幅区間当たり（それらの2つ分）のインダクタンスである。

【0006】一般には $C_{gs} > C_{ds}$ であるので、入出※

$$C_{gs} = C_{ds} + C_a$$

となるようにし、さらに

$$L_g = L_d$$

となるようにして、入出力に等価なフィルタ回路を形成する。なお、抵抗14、16による効果はここでは無視

* するものである。

【0002】

【従来の技術】図14にソース接地トランジスタを用いた従来の典型的な分布増幅器の構成を示す。図14では便宜上、分布増幅区間が4区間の構成のものを示した。図中、1は出力線に設けられる出力側フィルタ回路の一部を構成するインダクタもしくは伝送線路、2は入力線に設けられる入力側フィルタ回路の一部を構成するインダクタもしくは伝送線路、3は単位分布増幅区間の単位増幅回路を構成するソース接地トランジスタ（図では便宜上電界効果トランジスタの記号を用いた。）、4は出力側増幅回路、5は入力側増幅回路、6は電源端子もしくは電気的接地、7は電気的接地、8は入力端子、9は出力端子である。出力側増幅回路4は出力端子9から最も遠くに位置する出力側フィルタ回路1の端に設けられ、入力側増幅回路5は入力端子8から最も遠くに位置する入力側フィルタ回路2の端に設けられる

【0003】図15はトランジスタの等価回路（電界効果トランジスタのものを示した。）を示す図である。10はドレイン端子、11はソース端子、12はゲート端子である。13はゲート・ソース間容量（ C_{gs} ）、14はチャネル抵抗（ R_i ）、15は電圧制御型電流源（相互コンダクタンス g_m と容量 C_{gs} に印加される電圧 V_{gs} の積 $[g_m \cdot V_{gs}]$ で与えられる量の電流を発生する）、16はドレイン・ソース間抵抗、（ R_{ds} ）、17はドレイン・ソース間容量（ C_{ds} ）である。

【0004】一般に、分布増幅器は図14に示すインダクタもしくは伝送線路1とトランジスタ3のドレイン・ソース間容量17（ C_{ds} ）により出力側フィルタ回路を構成し、また、インダクタもしくは伝送線路2とトランジスタ3のゲート・ソース間容量13（ C_{gs} ）により入力側フィルタ回路を構成する。

【0005】これらのフィルタ回路は一般に非常に高いカットオフ周波数をもつため、映像インピーダンスが整合インピーダンス（通常50Ω）となるよう設計し、入出力のフィルタ回路の位相定数を等しくなるように（位相整合がとれるように）すれば、非常に広帯域な特性を実現できる。位相整合の条件は、

$$\dots (1)$$

※力のフィルタ特性を等しくするには、図16に示す（1個の分布増幅区間のみを示した。）ように、キャパシタ17（ C_{ds} ）に並列にキャパシタ18（容量 C_a ）を付加して、

$$\dots (2)$$

$$\dots (3)$$

している。

【0007】さらに、説明の簡単化のために、ここから

は、

$$Cgs = Cds = C$$

のトランジスタについて考えることとする。入出力のフィルタ回路は等しいインダクタもしくは伝送線路を用い*

$$(L/C)^{1/2} = 50$$

とすることにより、良好な入出力反射特性を得ることができる。

【0008】上述したように分布増幅器はその広帯域な特性により、マイクロ波、ミリ波等の分野で広く応用されており、この分布増幅器の応用による合成回路や分配回路もまた提案されてきた。図17、18に典型的な従来の分布型合成回路の構成を示し、図19、図20に典型的な従来の分布型分配回路の構成を示す。

【0009】図17に示した合成回路は、差動増幅器を分布化したもので、図14におけるものと同一のものには同一の符号を付している。トランジスタ3A、3B、3Cの組は単位の差動増幅器を構成している。19は第1入力端子、20は第2入力端子である。この合成回路では、第1入力端子19と第2入力端子20から入力した信号が逆相関係にあるとき、出力端子9からそれらの合成信号を出力することができる。

【0010】一方、図18に示した合成回路は、出力ドレイン端に並列に任意数（図では2個）のソース接地トランジスタ3のドレイン端子を接続し、この並列接続された各々のトランジスタ3のゲート側に各々入力側フィルタ回路を構成したものである。図17におけるものと同一のものには同一の符号を付している。この合成回路では、第1入力端子19と第2入力端子20に入力した信号が同相関係にあるとき、出力端子9からそれらの合成信号を出力することができる。

【0011】さらに、図19に示した分配回路は、差動増幅器を分布化したもので、図14、図17におけるものと同一のものには同一の符号を付している。21は第1出力端子、22は第2出力端子である。この分配回路では、分布増幅器の1/2の利得で逆位相の関係にある信号を第1出力端子21と第2出力端子22のから出力できる。

【0012】さらに、図20に示した分配回路は、入力ゲート端に並列に任意数（図では2個）のソース接地トランジスタ3のゲート端子接続し、この並列接続された各々のトランジスタ3のドレイン側に各々出力側フィルタ回路を構成したものである。図19におけるものと同一のものには同一の符号を付している。この分配回路では、第1出力端子21と第2出力端子22から、同位相の信号が出力する。

【0013】

【発明が解決しようとする課題】ところが、図17に示した合成回路では、回路構成の複雑さから集積回路化の際に回路パターンの描画を行なうと、信号線間に交差が生じ回路の特性に影響を及ぼすという問題点があった。

*て接続し、

$$\dots (4)$$

$$\dots (5)$$

また、最大で2入力までしか合成することができないという問題点もあった。

【0014】また、図18に示した合成回路では、出力側フィルタ回路の容量が図14の分布増幅器と同じ大きさのトランジスタを用いた場合に2倍となるため、出力側フィルタの整合インピーダンスを50Ωに設計すると、カットオフ周波数が1/2に低下する。また、位相整合条件を考慮すると、2つの入力端子19、20の入力インピーダンスが100Ωになってしまう。並列付加するトランジスタの数を増せば入力端子数を3個、4個としたものも構成可能であるが、出力側フィルタのカットオフ周波数も1/3、1/4となり、入力インピーダンスは3倍、4倍となるという問題があった。

【0015】一般には $Cgs > Cds$ であるので、図16で示したようなキャパシタ18（Ca）を付加しなければある程度劣化を抑えることができるが、 $Cgs = 2 \cdot Cds$ となるほど両容量間に差がなければ、出力側フィルタのカットオフ周波数はかなり低下することになる。図16で説明した分布増幅器とは逆に、ゲート・ソース間にキャパシタCaを付加することによって、入力側の50Ωの整合をとることはできるが、入力側フィルタのカットオフ周波数も出力側と同様に低下することになる。使用するトランジスタの大きさを小さくすることによってカットオフ周波数の改善を図ることはできるが、合成数が増えた場合に非現実的な大きさ（非常に小さい）のトランジスタを使用しなければならなくなる。また、3合成以上の合成数では集積化に際しての回路パターンレイアウトが困難であるという点に関しては、図17に示した合成回路と同様である。

【0016】一方、図19に示した分配回路では、図17に示した合成回路と同様に、回路構成の複雑さから集積回路化の際に回路パターンの描画を行なうと、信号線間に交差が生じ回路の特性に影響を及ぼすという問題点があった。また、最大で2出力までしか分配することができないという問題点もあった。

【0017】また、図20に示した分配回路では、入力側フィルタ回路の容量が図14の分布増幅器と同じ大きさのトランジスタを用いた場合に2倍となるため、入力側フィルタの整合インピーダンスを50Ωに設計すると、カットオフ周波数が1/2に低下する。また、位相整合条件を考慮すると、2つの出力端子21、22の出力インピーダンスが100Ωになってしまう。並列付加するトランジスタの数を増せば出力端子数を3個、4個としたものも構成可能であるが、入力側フィルタのカットオフ周波数も1/3、1/4となり、出力インピーダ

ンスは3倍、4倍となるという問題があった。

【0018】分布増幅器と同様に、キャパシタ18（Ca）を付加することによって出力側の50Ωの整合をとることができるが、出力側フィルタのカットオフ周波数も入力側フィルタと同様に低下することになる。図18の合成回路に対するのと同様に、使用するトランジスタの大きさを小さくすることによってカットオフ周波数の改善を図ることはできるが、分配数が増えた場合に非現実的な大きさ（非常に小さい）のトランジスタを使用しなければならなくなる。また、3分配以上の分配数では集積化に際しての回路パターンレイアウトが困難であるという点に関しては、図19に示した分配回路と同様である。

【0019】本発明は以上のような問題点に鑑みてなされたものであって、その目的は、高周波特性を劣化させることなく多合成／多分配を可能にし且つ回路パターンレイアウトの容易化を図った合成回路や分配回路として機能する分布増幅器を提供せんとすることである。

【0020】

【課題を解決するための手段】第1の発明は、複数の入力線と1つの出力線とを有し、 m （ $m \geq 2$ ）個の分布増幅区間からなり合成回路として使用される分布増幅器において、前記各区間の出力側フィルタ回路に対応する m 個の入力側フィルタ回路を、前記入力線の数と等しいグループに任意に分け、該各グループを前記各入力線に振り分けることを特徴とする分布増幅器として構成した。

【0021】第2の発明は、第1の発明において、前記複数の各入力線において、入力端子より最も遠くに位置する入力側フィルタ回路の端に出力側終端回路を設け、前記入力端子と前記出力側終端回路の間の分布増幅域のうちの前記入力側フィルタ回路が振り分けられていない部分に、当該部分の分布増幅区間に対応する出力側フィルタ回路と等しい特性を有するフィルタ回路もしくは該出力側フィルタ回路の映像インピーダンスと等しいインピーダンスをもち且つ遅延時間が等しい伝送線路を挿入したことを特徴とする分布増幅器として構成した。

【0022】第3の発明は、1つの入力線と複数の出力線とを有し、 m （ $m \geq 2$ ）個の分布増幅区間からなり分配回路として使用される分布増幅器において、前記各区間の入力側フィルタ回路に対応する m 個の出力側フィルタ回路を、前記出力線の数と等しいグループに任意に分け、該各グループを前記各出力線に振り分けることを特徴とする分布増幅器として構成した。

【0023】第4の発明は、第3の発明において、前記複数の各出力線において、出力端子より最も遠くに位置する出力側フィルタ回路の端に出力側終端回路を設け、前記出力端子と前記出力側終端回路の間の分布増幅域のうちの前記出力側フィルタ回路が振り分けられていない部分に、当該部分の分布増幅区間に対応する入力側フィルタ回路と等しい特性を有するフィルタ回路もしくは該

入力側フィルタ回路の映像インピーダンスと等しいインピーダンスをもち且つ遅延時間が等しい伝送線路を挿入したことを特徴とする分布増幅器として構成した。

【0024】

【発明の実施の形態】

【第1の実施の形態】図1は本発明の第1の実施の形態の2入力合成回路として機能する分布増幅器の構成を示す図である。前述した図18に示した合成回路におけるものと同一のものには同一の符号を付した。

【0025】ここでは、2入力の場合であるので、出力端子9に接続された出力線の出力側フィルタ回路に対応する入力側フィルタ回路を2つのグループに分けて、その一方のグループの入力側フィルタ回路を第1入力端子19に接続された入力線に構成し、他方のグループの入力側フィルタ回路を第2入力端子20に接続された入力線に構成している。なお、各グループは2個の単位分布増幅区間としている。

【0026】そして、第1入力端子19の側の入力線では、その第1入力端子19と前記した入力側フィルタ回路の前段との間にソース接地トランジスタを使用した分布増幅区間が構成されないため、その部分に、フィルタ回路もしくは伝送線路23を2個接続している。このフィルタ回路もしくは伝送線路23は、出力端子9に接続された出力線の出力側フィルタ回路の対応するもの（矢印で示した。）と等しい特性をもつフィルタ回路、もしくは該対応するものの映像インピーダンスと等しい特性インピーダンスをもち且つ等しい遅延をもつ伝送線路である。

【0027】以上のように構成した結果、第1入力端子19と第2入力端子20に入力した信号が、同相で合成されて出力端子9から出力する。

【0028】図2、図3は第1入力端子19と出力端子9との間の透過特性（S31）を示す特性図である。まず図2の実線40は図1に示した合成回路の透過特性、破線41は図17に示した従来の合成回路の透過特性である。両特性の比較から明らかなように、図1の合成回路では、回路中の信号伝送線路の交差がないため、図17に示した合成回路に比べて信号間の相互作用によって生じる特性劣化が生じない。

【0029】図3の実線40は図1に示した合成回路の透過特性、破線42は図18に示した従来の合成回路の透過特性である。図1に示した合成回路では、その回路を構成するフィルタ回路のカットオフ周波数が劣化しないため、図18に示した合成回路に比べて広帯域な特性を得ることができる。

【0030】【第2の実施の形態】図4は本発明の第2の実施の形態の2入力合成回路として機能する分布増幅器の構成を示す図である。ここでは、出力側フィルタ回路に対して、単位分布増幅区間ごとに第1入力端子19側の入力線からの信号と第2入力端子20側の入力線

からの信号を交互に振り分けて加えた。

【0031】図1に示した合成回路では、ソース接地トランジスタ3の図15で説明した抵抗16 (R_{ds}) によって生じる高周波損失により、第2入力端子20側からの入力信号が第1入力端子19側からの入力信号より劣化するが、この図4に示した合成回路では交互に合成するのでこれが改善される。

【0032】第1入力端子19の側の入力線、および第2入力端子20の側の入力線において、ソース接地トランジスタ3を接続しない部分には、前記したフィルタ回路もしくは伝送線路23を接続する。この合成回路でも、第1入力端子19と第2入力端子20に入力した信号が同相で合成されて出力端子9から出力する。

【0033】〔第3の実施の形態〕図5は本発明の第3の実施の形態の3入力合成回路として機能する分布増幅器の構成を示す図である。これは、第1の実施の形態を発展させたもので、出力側フィルタ回路の1グループを2個の単位分布増幅区間として、3グループとし、その各グループに第1入力端子19、第2入力端子20、第3入力端子24の入力線の入力側フィルタ回路を振り分けたものである。各入力線において、ソース接地トランジスタ3が接続されない単位分布増幅区間には、前記したフィルタ回路もしくは伝送線路23を接続する。

【0034】この合成回路でも、第1入力端子19、第2入力端子20、第3入力端子24に入力した信号が同相で合成されて出力端子9から出力する。このように、3合成の場合であっても回路の信号線が交差することはない、回路パターンレイアウトが容易であることがわかる。

【0035】〔第4の実施の形態〕図6は本発明の第4の実施の形態の2入力合成回路として機能する分布増幅器の構成を示す図である。これは図4に示した合成回路の改変例であり、第2入力端子20に接続される入力線の単位分布増幅区間の単位増幅回路をゲート接地トランジスタ3Eで構成したものである。25はゲート接地トランジスタ3Eのドレイン側の出力フィルタを構成するインダクタもしくは伝送線路である。その他は、図4に示したものと同一である。

【0036】この合成回路では、ゲート接地トランジスタ3Eを使用するので、第1入力端子19と第2入力端子20に入力する信号を逆相関係にある信号とすることが可能となる。

【0037】〔第5の実施の形態〕図7は本発明の第5の実施の形態の2出力の分配回路として機能する分布増幅器の構成を示す図である。前述した図20に示した分配回路におけるものと同一のものには同一の符号を付した。

【0038】ここでは、2出力の場合であるので、入力端子8に接続された入力線の入力側フィルタ回路に対応する出力側フィルタ回路を2つのグループに振り分け

て、その一方のグループの出力側フィルタ回路を第1出力端子21に接続された出力線に構成し、他方のグループの出力側フィルタ回路を第2出力端子22に接続された出力線に構成している。なお、各グループは2個の単位分布増幅区間としている。

【0039】そして、第1出力端子21の側の出力線では、前記した出力側フィルタ回路の後段と第1出力端子21との間にソース接地トランジスタを使用した分布増幅区間が構成されないで、その部分に、フィルタ回路もしくは伝送線路26を2個接続している。このフィルタ回路もしくは伝送線路26は、入力端子1に接続された入力線の入力側フィルタ回路の対応するもの（矢印で示した。）と等しい特性をもつフィルタ回路、もしくは該対応するものの映像インピーダンスと等しい特性インピーダンスをもち且つ等しい遅延をもつ伝送線路である。

【0040】以上のように構成した結果、入力端子8に入力した信号が、第1出力端子21と第2出力端子22から同相で出力される。なお、特に各出力信号の位相が同相でなくてはならない場合を除いて、フィルタ回路もしくは伝送線路26は不要である。

【0041】図8、図9は入力端子8と第1出力端子21との間の透過特性 (S_{21}) を示す特性図である。まず図8の実線50は図7に示した本発明の分配回路の透過特性、破線51は図19に示した従来の分配回路の透過特性である。両特性の比較から明らかなように、図7の分配回路では、回路中の信号伝送線路の交差がないため、図19に示した分配回路に比べて信号間の相互作用によって生じる特性劣化が生じていない。

【0042】図9の実線50は図7に示した本発明の分配回路の透過特性、破線52は図20に示した従来の分配回路の透過特性である。図7に示した分配回路では、その回路を構成するフィルタ回路のカットオフ周波数が劣化しないため、図20に示した分配回路に比べて広帯域な特性を得ることができる。

【0043】〔第6の実施の形態〕図10は本発明の第6の実施の形態の2出力の分配回路として機能する分布増幅器の構成を示す図である。ここでは、入力側フィルタ回路の単位分布増幅区間ごとに、第1出力端子21側の出力線への信号と第2出力端子22側の出力線への信号を交互に振り分けた。

【0044】図7に示した合成回路では、ソース接地トランジスタ3の図15で説明した抵抗14 (R_i) によって生じる高周波損失により、第2出力端子21側への出力信号が第1出力端子22側への出力信号より劣化するが、この図10に示した分配回路では交互に分配するのでこれが改善される。

【0045】第1出力端子21の側の出力線、および第2出力端子22の側の出力線において、ソース接地トランジスタ3を接続しない部分には、前記したフィルタ回

路もしくは伝送線路 26 を接続する。この分配回路でも、入力端子 8 に入力した信号が、第 1 出力端子 21 と第 2 出力端子 22 に同相で分配されて出力する。なお、出力間の位相を等しくする必要のない場合にはフィルタ回路もしくは伝送線路 26 を省略できる。ただし、ソース接地トランジスタ 3 を有する単位分布増幅区間の相互間では省略できない。

【0046】【第 7 の実施の形態】図 11 は本発明の第 7 の実施の形態の 3 出力の分配回路として機能する分布増幅器の構成を示す図である。これは、第 5 の実施の形態を発展させたもので、入力側フィルタ回路の 1 グループを 2 個の単位分布増幅区間として、3 グループとし、その各グループに第 1 出力端子 21、第 2 出力端子 22、第 3 出力端子 27 の出力線の出力側フィルタ回路を振り分けたものである。各出力線において、ソース接地トランジスタ 3 が接続されない単位分布増幅区間には、前記したフィルタ回路もしくは伝送線路 26 を接続する。

【0047】この分配回路でも、入力端子 8 に入力した信号が、第 1 出力端子 21、第 2 出力端子 22、第 3 出力端子 27 から同相で分配されて出力する。このように、3 分配の場合であっても回路の信号線が交差することではなく、回路パターンレイアウトが容易であることがわかる。なお、出力間の位相を等しくする必要のない場合にはフィルタ回路もしくは伝送線路 26 を省略できる。

【0048】【第 8 の実施の形態】図 12 は本発明の第 8 の実施の形態の 2 出力の分配回路として機能する分布増幅器の構成を示す図である。これは、図 10 に示した分配回路の改変例であり、第 2 出力端子 22 に接続される出力線の単位分布増幅区間の単位増幅回路をゲート接地トランジスタ 3E で構成したものである。28 はゲート接地トランジスタ 3E のドレイン側の出力フィルタを構成するインダクタもしくは伝送線路である。その他は、図 10 に示したものと同一である。

【0049】この分配回路では、ゲート接地トランジスタ 3E を使用するので、第 1 出力端子 21 と第 2 出力端子 22 から出力する信号を逆相関係にある信号とすることが可能となる。

【0050】【その他の実施の形態】なお、図 1、図 4 に示した合成回路や図 7、図 10 に示した分配回路は、分布増幅区間が 4 区間によって構成されたもの、図 5 に示した合成回路や図 11 に示した分配回路は 6 区間によって構成されたものであったが、本発明は任意の区間数に対して有効である。

【0051】また、これらの図中ではすべて便宜上 $Cgs = Cds$ を前提にしたソース接地トランジスタ 3 による分布増幅区間を示したが、必ずしも $Cgs = Cds$ である必要はなく、図 16 で説明したキャパシタ 18 を付加した構成のもや、図 13 に示すように、カスコード接

続トランジスタ 3F を用いた構成でも有効である。この図 13 において、29 はゲートバイアス回路である。この図 13 におけるキャパシタ 18 も、ドレイン出力端子からみた容量成分が Cgs とほぼ等しい場合には省略可能である。

【0052】また、前記した各実施の形態において、電界効果トランジスタはすべてバイポーラトランジスタに置換可能であり、また全て同じ分布増幅区間を用いたが、各出力間の利得を等しくする必要のない場合には、使用されるトランジスタのサイズは各区間の回路で等しくする必要はなく、また、各入力や各出力に振り分けられる区間数も等しくする必要はない。後者の場合、図中のフィルタ回路もしくは伝送線路 23、26 は対応する出力側フィルタ回路や入力側フィルタ回路に応じて異なるものとなる。

【0053】

【発明の効果】以上から本発明の分布増幅器によれば、高周波特性の劣化がなく、しかも多入力合成や多出力分配時に、回路パターンレイアウトが容易になるという利点がある。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態の 2 入力合成回路として機能する分布増幅器の構成を示す回路図である。

【図 2】 図 1 の合成回路と図 17 の合成回路の第 1 入力端子と出力端子間の透過特性の比較を表した特性図である。

【図 3】 図 1 の合成回路と図 18 の合成回路の第 1 入力端子と出力端子間の透過特性の比較を表した特性図である。

【図 4】 本発明の第 2 の実施の形態の 2 入力合成回路として機能する分布増幅器の構成を示す回路図である。

【図 5】 本発明の第 3 の実施の形態の 3 入力合成回路として機能する分布増幅器の構成を示す回路図である。

【図 6】 本発明の第 4 の実施の形態の 2 入力合成回路として機能する分布増幅器の構成を示す回路図である。

【図 7】 本発明の第 5 の実施の形態の 2 出力分配回路として機能する分布増幅器の構成を示す回路図である。

【図 8】 図 7 の分配回路と図 19 の分配回路の入力端子と第 1 出力端子間の透過特性の比較を表した特性図である。

【図 9】 図 7 の分配回路と図 20 の分配回路の入力端子と第 1 出力端子間の透過特性の比較を表した特性図である。

【図 10】 本発明の第 6 の実施の形態の 2 出力分配回路として機能する分布増幅器の構成を示す回路図である。

【図 11】 本発明の第 7 の実施の形態の 3 出力分配回路として機能する分布増幅器の構成を示す回路図である。

【図 12】 本発明の第 8 の実施の形態の 2 出力分配回

路として機能する分布増幅器の構成を示す回路図である。

【図13】 本発明の他の実施の形態で使用する単位分布増幅区間の構成を示す図である。

【図14】 従来のソース接地トランジスタを用いた分布増幅器の構成を示す回路図である。

【図15】 電界効果トランジスタの簡略化した等価回路図である。

【図16】 従来の分布増幅区間に容量を付加した構成を示す図である。

【図17】 従来の2入力合成回路として機能する分布増幅器の構成を示す回路図である。

【図18】 従来の2入力合成回路として機能する別の例の分布増幅器の構成を示す回路図である。

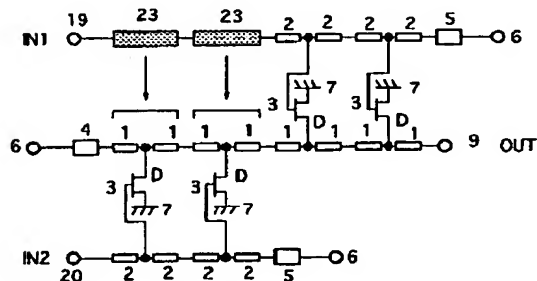
【図19】 従来の2入力分配回路として機能する分布増幅器の構成を示す回路図である。

【図20】 従来の2入力分配回路として機能する別の例の分布増幅器の構成を示す回路図である。

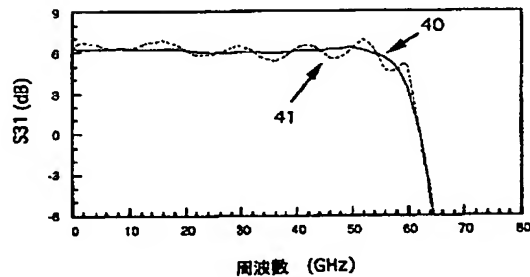
*【符号の説明】

- 1：出力側フィルタ回路の一部を構成するインダクタもしくは伝送線路、2：入力側フィルタ回路の一部を構成するインダクタもしくは伝送線路、3：電界効果トランジスタ、4：出力側終端回路、5：入力側終端回路、6：電源端子もしくは電気的接地、7：電気的接地、8：入力端子、9：出力端子、10：ドレイン端子、11：ソース端子、12：ゲート端子、13：ゲート・ソース間容量(C_{gs})、14：チャネル抵抗(R_i)、15：電圧制御型電流源、16：ドレイン・ソース間抵抗(R_{ds})、17：ドレイン・ソース間容量(C_{ds})、18：キャパシタ、19：第1入力端子、20：第2入力端子、21：第1出力端子、22：第2出力端子、23：フィルタ回路もしくは伝送線路、24：第3入力端子、25：インダクタもしくは伝送線路、26：フィルタ回路もしくは伝送線路、27：第3出力端子、28：インダクタもしくは伝送線路、29：ゲートバイアス回路。

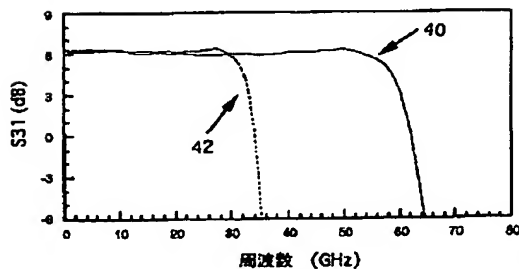
【図1】



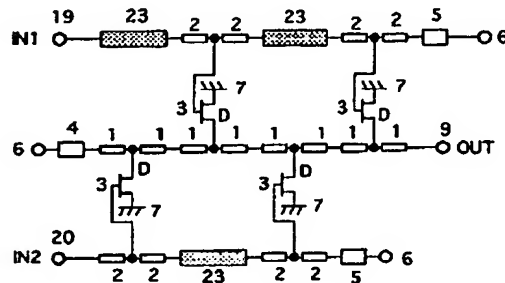
【図2】



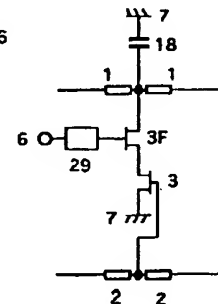
【図3】



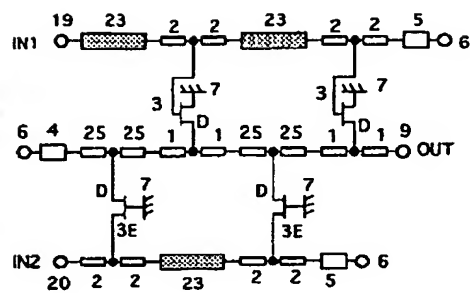
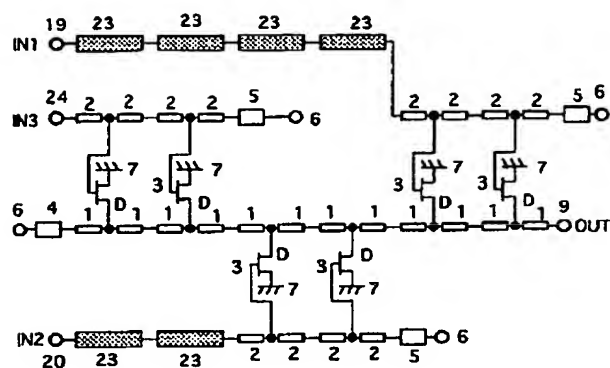
【図4】



【図13】

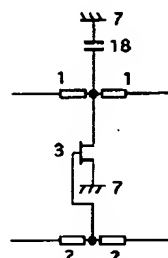
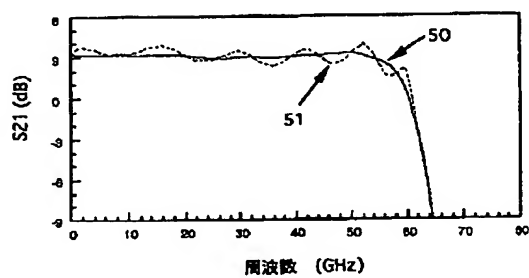
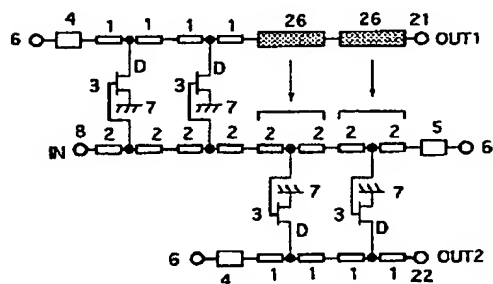


【圖6】

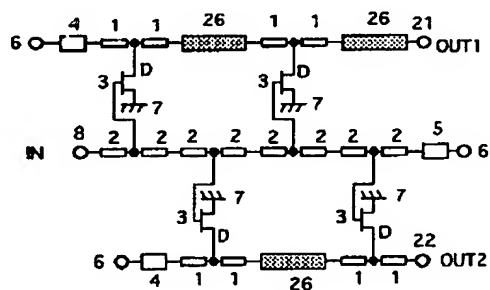
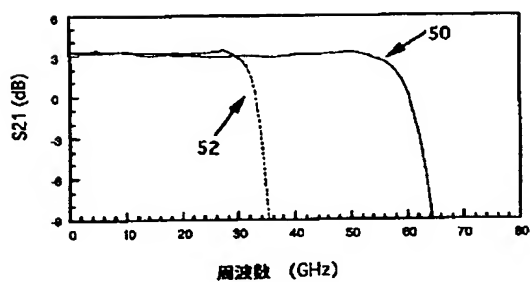


【圖 16】

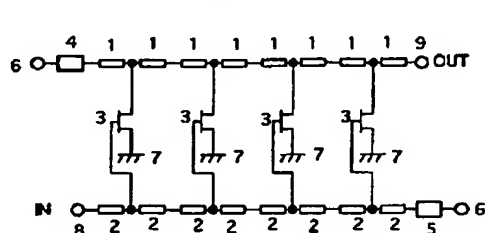
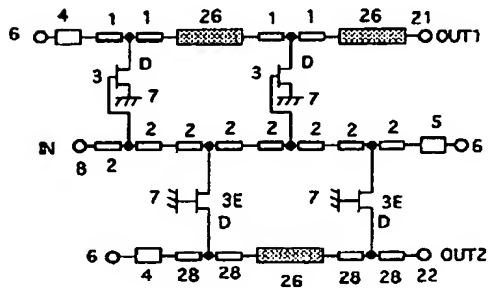
【圖 8】



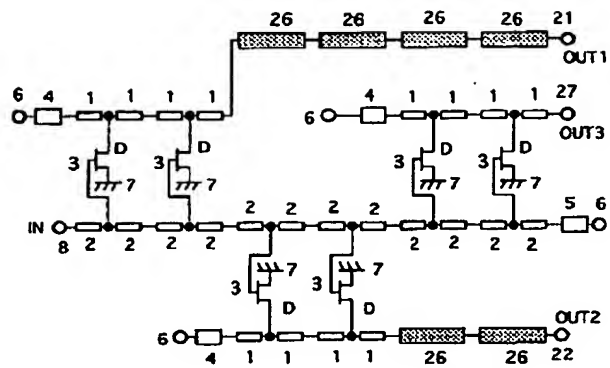
【图 10】



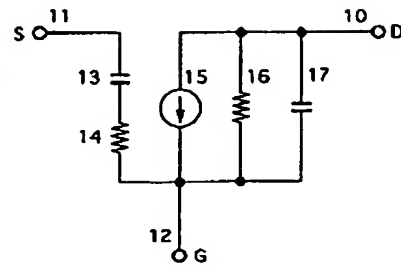
【图 14】



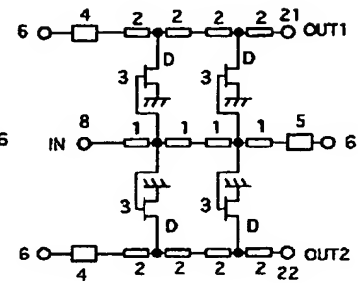
【図11】



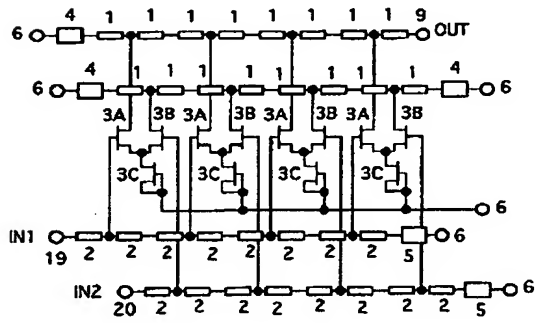
【図15】



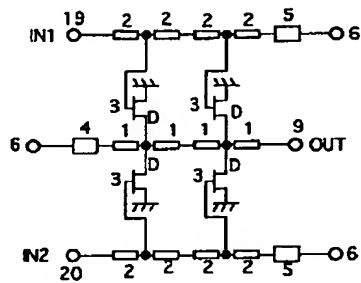
【図20】



【図17】



【図18】



【図19】

